

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.



**TRANSMITTAL
FORM**

(to be used for all correspondence after initial filing)

TRANSMITTAL FORM <i>(to be used for all correspondence after initial filing)</i>		Application Number	10/773,799
		Filing Date	February 6, 2004
		First Named Inventor	Fumitake, Mieno
		Art Unit	2812
		Examiner Name	Not Yet Assigned
		Attorney Docket Number	021653-004600US
Total Number of Pages in This Submission	13		

ENCLOSURES *(Check all that apply)*

<input type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance Communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	<input type="checkbox"/> Return Postcard
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s) 11 pages	Remarks The Commissioner is authorized to charge any additional fees to Deposit Account 20-1430.	
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Townsend and Townsend and Crew LLP Richard T. Ogawa	Reg. No. 37,692
Signature		
Date	4/21/04	

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name	TIFFANY WU		
Signature		Date	8.2.04

BEST AVAILABLE COPY

证 明

10,773,799

本证明之附件是向本局提交的下列专利申请副本

申 日: 2003. 12. 30

CERTIFIED COPY OF
PRIORITY DOCUMENT

申 号: 2003101229734

申 别: 发明

发 明 称: 带有氧化层隔离物的D R A M 结构及其制造方法

申 人: 中芯国际集成电路制造（上海）有限公司

发 明 人: 三重野文健、李奉载、陈国庆

中华人民共和国
国家知识产权局局长

王景川

2004 年 6 月 25 日

1. 一种用于形成用于动态随机访问存储器器件的位线和存储节点部分的方法，该方法包括：

5 提供衬底，所述衬底具有位线区和电容器接触区；

至少形成上覆衬底的第一栅极结构和第二栅极结构，所述第一栅极结构包括上覆的第一覆盖层，所述第二栅极结构包括上覆的第二覆盖层，所述第一栅极结构与所述第二栅极结构由所述位线区隔开，所述电容器接触区被耦合到第一栅极结构；

10 形成上覆第一栅极结构、第二栅极结构、位线区和电容器接触区的共形介电层；

形成上覆共形介电层的层间电介质材料；

平坦化层间电介质材料；

形成上覆被平坦化的层间电介质材料的掩模层；

15 露出在被平坦化的层间电介质材料的一部分之内的连续公共区，其上覆第一栅极结构的一部分、第二栅极结构的一部分、位线区的一部分和电容器接触区的一部分；

进行第一刻蚀处理，以去除被平坦化的层间介电层的露出部分；

20 进行第二刻蚀处理，以去除位线区上的共形介电层，并去除电容器接触区上的共形介电层的一部分，而使用共形层的其他部分作为掩模来防止第一栅极结构的一部分和第二栅极结构的一部分露出；在连续公共区内沉积多晶硅填充材料，并上覆位线区、电容器接触区、第一栅极结构和第二栅极结构，以覆盖位线区、电容器接触区、第一栅极结构和第二栅极结构的一部分到预定的厚度；

25 平坦化多晶硅填充材料，以减少预定厚度，同时减少层间电介质材料的一部分的厚度；

继续平坦化多晶硅填充材料和层间电介质材料；以及

露出第一栅极结构的一部分、第二栅极结构的一部分，而保留在位线区的一部分和电容器接触区的一部分上的多晶硅填充材料部分，其中，在

电容器接触区的一部分上的多晶硅填充材料与在位线区的一部分上的多晶硅填充材料是隔开的。

2. 如权利要求 1 所述的方法，其中，所述第一栅极结构包括上覆的第一硅化钨层，所述第二栅极结构包括上覆的第二硅化钨层。

5 3. 如权利要求 1 所述的方法，其中，所述共形介电层是氮化硅。

4. 如权利要求 1 所述的方法，其中，所述平坦化包括化学机械抛光处理和/或回蚀处理。

5. 如权利要求 1 所述的方法，其中，所述多晶硅填充材料是原位掺杂多晶硅材料或非晶硅材料或原位掺杂非晶硅材料或多晶硅材料或掺杂多晶硅材料。

6. 如权利要求 1 所述的方法，其中，在所述电容器接触区部分中的多晶硅填充材料与第一栅极结构和第二栅极结构在电学上是绝缘的，在位线区的一部分中的多晶硅填充材料与第一栅极结构和第二栅极结构在电学上是绝缘的。

15 7. 如权利要求 1 所述的方法，其中，所述连续公共区被形成为“I”形形状。

8. 如权利要求 1 所述的方法，其中，所述连续公共区被形成为“T”形形状。

9. 如权利要求 1 所述的方法，其中，所述第一栅极结构和所述第二栅极结构由所述位线区分隔开，间隔约为 0.135 微米或更小。

20 10. 如权利要求 1 所述的方法，其中，所述第一栅极结构的特征为其设计尺寸为 0.13 微米或更小，所述第二栅极结构的特征为其设计尺寸为 0.13 微米或更小。

11. 一种用于形成用于动态随机访问存储器器件的自对准接触区的方法，该方法包括：

25 提供半导体衬底，所述半导体衬底具有单元区和周边区；

在单元区中至少形成第一栅极结构、第二栅极结构、第三栅极结构和第四栅极结构并在周边区中形成栅极结构，所述第一栅极结构包括上覆的第一覆盖层，所述第二栅极结构包括上覆的第二覆盖层，所述第三栅极结

构包括上覆的第三覆盖层，所述第四栅极结构包括上覆的第四覆盖层，所述第二栅极结构与所述第三栅极结构由位线区隔开，所述第一栅极结构与所述第二栅极结构由第一电容器接触区隔开，所述第三栅极结构与所述第四栅极结构由第二电容器接触区隔开；

5 形成共形介电层，其上覆在单元区中的第一栅极结构、第二栅极结构、第三栅极结构、第四栅极结构、位线区、第一电容器接触区和第二电容器接触区以及在周边区中的栅极结构；

形成上覆共形介电层的层间电介质材料；

平坦化层间电介质材料；

10 形成上覆被平坦化的层间电介质材料的掩模层；

露出在被平坦化的层间电介质材料的一部分之内的连续公共区，其上覆第一栅极结构、第二栅极结构、第三栅极结构、第四栅极结构、位线区、第一电容器接触区和第二电容器接触区，而保留在周边区中的上覆栅极结构的被平坦化的层间电介质材料；

15 进行刻蚀处理以去除在连续公共区中被平坦化的层间介电层的露出部分，以露出位线接触部分、第一电容器接触区和第二电容器接触区，而使用共形层的一部分作为掩模来防止第一栅极结构、第二栅极结构、第三栅极结构和第四栅极结构的任何导电部分被露出；

20 在连续公共区内沉积多晶硅填充材料，并上覆位线区、第一电容器接触区和第二电容器接触区、第一栅极结构、第二栅极结构、第三栅极结构和第四栅极结构到预定的厚度；

平坦化多晶硅填充材料，以减少预定厚度，并同时将层间电介质材料的一部分的厚度减少到接近第一栅极结构、第二栅极结构、第三栅极结构、第四栅极结构和栅极结构的上部区；

25 继续平坦化多晶硅填充材料和层间电介质材料；以及

露出第一栅极结构的一部分、第二栅极结构的一部分、第三栅极结构的一部分、第四栅极结构的一部分和栅极结构的一部分，而保留在位线区上、第一电容器接触区和第二电容器接触区上的多晶硅填充材料部分，其中，在第一电容器接触区上的多晶硅填充材料与在位线区上的多晶硅填充

材料是隔开的，在第二电容器接触区上的多晶硅填充材料与在位线区上的多晶硅填充材料是隔开的。

12. 如权利要求 11 所述的方法，其中，所述第一栅极结构包括上覆的第一硅化钨层，所述第二栅极结构包括上覆的第二硅化钨层，所述第三 5 栅极结构包括上覆的第三硅化钨层，所述第四栅极结构包括上覆的第四硅化钨层，并且所述栅极结构包括上覆的硅化钨层。

13. 如权利要求 11 所述的方法，其中，所述共形介电层包括氮化 10 硅。

14. 如权利要求 11 所述的方法，其中，所述平坦化包括化学机械抛光处理和/或回蚀处理。 10

15. 如权利要求 11 所述的方法，其中，所述多晶硅填充材料是原位掺杂多晶硅材料或非晶硅材料或原位掺杂非晶硅材料或多晶硅材料或掺杂多晶硅材料。

16. 如权利要求 11 所述的方法，其中，在所述第一电容器接触区中的多晶硅填充材料与第一栅极结构和第二栅极结构在电学上是绝缘的；其中， 15 在位线区中的多晶硅填充材料与第二栅极结构和第三栅极结构在电学上是绝缘的；并且，其中，在所述二电容器接触区与第三栅极结构和第四栅极结构在电学上是绝缘的。

17. 如权利要求 11 所述的方法，其中，所述连续公共区被形成为 20 “I” 形形状。

18. 如权利要求 11 所述的方法，其中，所述连续公共区被形成为 “T” 形形状。

19. 如权利要求 11 所述的方法，其中，所述第二栅极结构和所述第三栅极结构由所述位线区分隔开，间隔约为 0.135 微米或更小；并且，其中， 25 所述第一栅极结构、所述第二栅极结构、所述第三栅极结构和所述第四栅极结构的特征为其设计尺寸为 0.13 微米或更小。

带有氧化层隔离物的 DRAM 结构及其制造方法

5 技术领域

本发明涉及集成电路和对它们进行的用于制造半导体器件的处理。更具体地说，本发明提供了用于制造互连结构的方法和结构，所述互连结构用于通常被称为 DRAM 的动态随机访问存储器器件。但是，将看到本发明具有更加广泛的应用范围。

10

背景技术

集成电路已经从在单硅片上制造的少量互连器件发展到数百万的器件。传统集成电路的性能和复杂度远远超过了最初的想象。为了实现在复杂度和电路密度（即能够压缩到给定芯片面积上的器件的数量）方面的改进，最小器件特征尺寸（也被称为器件“几何”）随着每一代 IC 的出现已经变得更小了。

逐渐增加的电路密度不仅改进了集成电路的复杂度和性能，而且还为用户提供了更低的成本部分。集成电路或芯片制造设备可能要花费几亿美元甚至十几亿美元。每一个制造设备将具有确定的晶片吞吐量，并且每一个晶片在其上将具有确定数量的集成电路。因此，通过使集成电路的单独的器件更小，可以在每一个晶片上制造更多的器件，从而增加制造设备的产量。使器件更小是很有挑战性的，因为在集成电路制造中所使用的每一个处理都有界限（limit）。也就是说，一个给定的处理一般只能降低到某一个特征尺寸，然后就需要改变处理或者器件布局了。此外，因为器件需要越来越快的设计，所以传统的处理和材料具有处理限制。

25 这种处理的一个例子是用于存储器器件的互连结构的制造。这种互连结构其中包括插栓、金属化和其他设计。虽然已经有了很重大的改进，但是这种设计仍具有许多限制。仅仅作为例子，这些设计应该变得越来越小，但仍要求与特定接触点的精确对准。此外，这些互连设计通常难于制

造并且一般需要复杂的制造工艺和结构，这导致低效率并且可能因为“开路”或“短路”而导致低的产量。在本说明书中将进一步描述这些和其他的限制，在下面将更具体地描述。

根据上面所述，可以看出需要一种用于处理半导体器件的改进技术。

5

发明内容

根据本发明，提供了用于处理用于制造半导体器件的集成电路的技术。更具体地说，本发明提供了用于制造互连结构的方法和结构，所述互连结构用于通常被称为 DRAM 的动态随机访问存储器器件。但是，将看到本发明具有更加广泛的应用范围。

在一个特定的实施例中，本发明提供了一种用于形成用于如 DRAM 的动态随机访问器件的位线和存储节点部分的方法。也可以包括其他器件（例如闪存、EEPROM）。该方法包括提供衬底，其具有位线区和电容器接触区。该方法还包括至少形成上覆衬底的第一栅极结构和第二栅极结构。所述第一栅极结构和所述第二栅极结构包括上覆的覆盖层。第一栅极结构与所述第二栅极结构由所述位线区隔开。所述电容器接触区被耦合到第一栅极结构。该方法还包括形成上覆第一栅极结构、第二栅极结构、位线区和电容器接触区的共形介电层。该方法包括形成上覆共形介电层的层间电介质材料和平坦化该层间电介质材料。该方法包括形成上覆被平坦化的层间电介质材料的掩模层，并露出在被平坦化的层间电介质材料的一部分之内的连续公共区，其上覆第一栅极结构的一部分、第二栅极结构的一部分、位线区的一部分和电容器接触区的一部分。进行第一刻蚀处理，以去除被平坦化的层间介电层的露出部分。进行第二刻蚀处理，以去除位线区上的共形介电层，并去除电容器接触区上的共形介电层的一部分，而使用共形层的其他部分作为掩模来防止第一栅极结构的一部分和第二栅极结构的一部分露出。该方法在连续公共区内沉积多晶硅填充材料，并上覆位线区、电容器接触区、第一栅极结构和第二栅极结构，以覆盖位线区、电容器接触区、第一栅极结构和第二栅极结构的一部分到预定的厚度。该方法包括平坦化多晶硅填充材料，以减少预定厚度，同时减少层间电介质材料。



5 料的一部分的厚度。该方法继续平坦化多晶硅填充材料和层间电介质材料。该方法露出第一栅极结构的一部分、第二栅极结构的一部分，而保留位线区的一部分和电容器接触区的一部分上的多晶硅填充材料部分，其中，在电容器接触区的一部分上的多晶硅填充材料与位线区的一部分上的多晶硅填充材料是隔开的。

在一个可替换的实施例中，本发明提供了一种用于形成用于动态随机访问存储器器件的自对准接触区的可替换的方法。该方法包括提供半导体衬底，其具有单元区和周边区。该方法在单元区中至少形成第一栅极结构、第二栅极结构、第三栅极结构和第四栅极结构并在周边区中形成栅极结构。所述第一栅极结构的每一个具有覆盖层，其保护栅极结构。所述第二栅极结构与所述第三栅极结构由位线区隔开。所述第一栅极结构与所述第二栅极结构由第一电容器接触区隔开。所述第三栅极结构与所述第四栅极结构由第二电容器接触区隔开。该方法形成共形介电层，其上覆在单元区中的第一栅极结构、第二栅极结构、第三栅极结构、第四栅极结构、位线区、第一电容器接触区和第二电容器接触区以及在周边区中的栅极结构。该方法包括形成上覆共形介电层的层间电介质材料以及平坦化层间电介质材料。形成上覆被平坦化的层间电介质材料的掩模层。该方法露出在被平坦化的层间电介质材料的一部分之内的连续公共区，其上覆第一栅极结构、第二栅极结构、第三栅极结构、第四栅极结构、位线区、第一电容器接触区和第二电容器接触区，而保留在周边区中的上覆栅极结构的被平坦化的层间电介质材料。该方法包括进行刻蚀处理以去除在连续公共区中被平坦化的层间介电层的露出部分，以露出位线接触部分、第一电容器接触区和第二电容器接触区，而使用共形层的一部分作为掩模来防止第一栅极结构、第二栅极结构、第三栅极结构和第四栅极结构的任何导电部分被露出。该方法在连续公共区内沉积多晶硅填充材料，并上覆位线区、第一电容器接触区和第二电容器接触区、第一栅极结构、第二栅极结构、第三栅极结构和第四栅极结构到预定的厚度。平坦化多晶硅填充材料，以减少预定厚度，并同时将层间电介质材料的一部分的厚度减少到接近第一栅极结构、第二栅极结构、第三栅极结构、第四栅极结构和栅极结构的上部

区。该方法继续平坦化多晶硅填充材料和层间电介质材料，以露出第一栅极结构的一部分、第二栅极结构的一部分、第三栅极结构的一部分、第四栅极结构的一部分和栅极结构的一部分，而保留在位线区上、第一电容器接触区和第二电容器接触区上的多晶硅填充材料部分。在第一电容器接触区上的多晶硅填充材料与在位线区上的多晶硅填充材料是隔开的，在第二电容器接触区上的多晶硅填充材料与在位线区上的多晶硅填充材料是隔开的。

与传统技术相比，通过本发明达到了很多优势。例如，本发明使得更容易使用依赖于传统技术的处理。在一些实施例中，本发明提供了在每一个晶片的小片（die）上的更高的器件产量。此外，该方法提供了一种与传统处理相容的处理，该处理基本上没有对传统的设备和处理做出修改。优选地，本发明提供了用于设计标准为 0.13 微米或更小的改进的工艺集成。此外，晶体管栅极结构之间的距离可以小于 0.13 微米。优选地，本发明提供了一种用于 DRAM 和其他集成电路器件的自对准接触部分形成工艺。根据实施例，可以实现这些优势中的一个或多个。在整个说明书中描述了更多的这些和其他的优势，在下面将更加具体地描述。

参照具体的描述和附图可以更加充分地理解本发明的多种其他的目的、特征和优点。

20 附图说明

图 1 到图 9 图示了根据本发明的实施例的一种用于形成用于动态随机访问存储器器件的互连结构的方法。

具体实施方式

根据本发明，提供了用于处理集成电路来制造半导体器件的技术。更具体地说，本发明提供了用于制造互连结构的方法和结构，所述互连结构用于通常被称为 DRAM 的动态随机访问存储器器件。但是，将看到本发明具有更加广泛的应用范围。

根据本发明的实施例，一种用于制造用于动态随机访问存储器器件的

互连结构的方法大概可以描述如下：

1. 提供衬底，其具有位线区和电容器接触区；
2. 至少形成上覆衬底的第一栅极结构和第二栅极结构；
3. 形成上覆第一栅极结构、第二栅极结构、位线区和电容器接触区的共形介电层；
4. 形成上覆共形介电层的层间电介质材料；
5. 平坦化层间电介质材料；
6. 形成上覆被平坦化的层间电介质材料的掩模层；
7. 露出在被平坦化的层间电介质材料的一部分之内的连续公共区，其上覆第一栅极结构的一部分、第二栅极结构的一部分、位线区的一部分和电容器接触区的一部分；
8. 进行第一刻蚀处理，以去除被平坦化的层间介电层的露出部分；
9. 进行第二刻蚀处理，以去除位线区上的共形介电层，并去除电容器接触区上的共形介电层的一部分，而使用共形层的其他部分作为掩模来防止第一栅极结构的一部分和第二栅极结构的一部分露出；
10. 在连续公共区内沉积多晶硅填充材料，并上覆位线区、电容器接触区、第一栅极结构和第二栅极结构，以覆盖位线区、电容器接触区、第一栅极结构和第二栅极结构的一部分到预定的厚度；
11. 平坦化多晶硅填充材料，以减少预定厚度，同时减少层间电介质材料的一部分的厚度；
12. 继续平坦化多晶硅填充材料和层间电介质材料；
13. 露出第一栅极结构的一部分、第二栅极结构的一部分，而保留在位线区的一部分和电容器接触区的一部分上的多晶硅填充材料部分，其中，在电容器接触区的一部分上的多晶硅填充材料与在位线区的一部分上的多晶硅填充材料是隔开的；以及
14. 如果要求，进行其他步骤。

上述顺序的步骤提供了根据本发明实施例的一种方法。如所示出的，该方法使用步骤的组合，所述步骤包括形成用于动态随机访问存储器器件的互连结构的方法。还可以通过添加步骤、去除一个或多个步骤、或者以

不同的顺序提供一个或多个步骤来给出其他可替换的方法，而不会脱离这里所要求保护的范围。可以在本说明书中以及下面更进详细地描述中找到本方法的进一步的细节。

图 1 到图 9 图示了根据本发明的实施例的一种用于形成用于动态随机访问存储器器件的互连结构的方法。这些图仅仅是示例，而不应该不适当限制所要求保护的范围。本领域的技术人员将知道许多其他的变化、修改和替换。我们将使用包括单元阵列 (cell array) 横截面 100 和周边的横截面 103 的两个横截面视图来解释本方法。还示出了单元阵列横截面的上视图 101。如所示出的，该方法从提供例如半导体晶片的半导体衬底 105 开始。这个衬底是 p 型硅晶片，但也可以是其他衬底。该衬底包括上覆氧化物层 107，其具有被图案化的氮化物层 109。被图案化的氮化物层 109 具有被图案化的光刻胶掩模 111。某些处理细节提供如下：

1. 提供 p 型硅晶片，包括外延层；
2. 使用 RCA 清洗进行预清洗，包括 SC1 和 SC2；
3. 形成垫片 (pad) 氧化物；
4. 形成氮化硅层；
5. 使用 RCA 清洗来清洗氮化硅层；
6. 形成牺牲氧化物；
7. 图案化氮化硅；以及
8. 剥离光刻胶膜。

参照图 2，该方法使用氮化硅硬模层形成浅槽隔离区 201。示出了所得到的结构。在单元和周边区都提供了浅槽隔离区。该方法形成堆叠层 300，其将被界定以形成栅极结构。堆叠层包括多晶硅层 301、上覆硅化钨层 303、上覆抗反射涂层 305 和上覆氮化硅层 307。参照图 4，该方法形成单元区和周边区。该方法在单元区中至少形成第一栅极结构 402、第二栅极结构 404、第三栅极结构 406 和第四栅极结构 408，并且在周边区中形成栅极结构。光刻胶层 401 使用传统刻蚀技术图案化这种栅极结构。如所示出的，栅极结构中的每一个都具有保护它的上覆覆盖 (cap) 层。位线区 410 将第二栅极结构和第三栅极结构分隔开。第一电容器接触区 412 将第

一栅极结构和第二栅极结构分隔开。第二容器接触区 414 将第三栅极结构和第四栅极结构分隔开。如所示出的，这些结构中的每一个都提供有 p 型或 n 型阱区。所示出的是三阱结构。还可以根据应用使用其他阱结构。

该方法形成共形 (conformal) 介电层 501 (例如氮化硅、氧化硅或这些物质的任何组合)，该层 501 上覆在单元区中的第一栅极结构、第二栅极结构、第三栅极结构、第四栅极结构、位线区、第一电容器接触区和第二容器接触区以及周边区中的栅极结构，如图 5 所示出的。使用光刻胶 503 覆盖单元层。在周边区 510 中使用各向异性刻蚀技术以在每一个栅极 10 结构上界定侧壁间隔物。刻蚀技术还去除上覆源/漏极区一部分的一部分共形介电层，所述源/漏极区耦合到用于 MOS 晶体管的栅极结构中的每一个。该方法剥离单元区中的光刻胶层。

参照图 6，该方法包括形成层间电介质材料 601，其上覆单元区中的共形介电层，并且上覆周边区中的 MOS 晶体管结构。优选地，介电层可以是氧化物、掺杂氧化物 (例如 BPSG、PSG) 和包括多个材料层的其他材料。优选地，该方法平坦化电介质材料的表面。根据应用，可以使用刻蚀和/或化学机械平坦化技术的任何组合。

如图 7 所示，形成上覆被平坦化的层间电介质材料 700 的掩模层 701。掩模层露出在被平坦化的层间电介质材料的一部分之内的连续公共区 703，其上覆第一栅极结构、第二栅极结构、第三栅极结构、第四栅极结构、位线区、第一电容器接触区和第二容器接触区，而保留在周边区中的上覆栅极结构的被平坦化的层间电介质材料。也就是说，掩模层覆盖并保护在周边区中的层间电介质材料和下部结构，如所示出的。该方法包括进行刻蚀处理，以去除 703 在连续公共区中露出的被平坦化的层间介电层的部分，从而露出位线接触部分、第一电容器接触区和第二容器接触区，而使用共形层的一部分作为掩模来防止第一栅极结构、第二栅极结构、第三栅极结构和第四栅极结构的任何导电部分被露出。如所示出的，已经从例如位线、晶体管的接触区去除了共形层。如所示出的，在第一栅极结构和第二栅极结构的一部分上仍然保留层间电介质材料。此外，在一些实施例中，共形层和覆盖层的一部分作为用于每一个栅极结构的停止层，以防

止栅极结构的导电区被露出。

参照图 8, 该方法在连续公共区内沉积多晶硅填充材料 801 (例如多晶硅、掺杂多晶硅、原位掺杂多晶硅、原位掺杂非晶硅、非晶硅)。优选地, 填充材料上覆位线区、第一电容器接触区和第二容器接触区、第一栅极结构、第二栅极结构、第三栅极结构和第四栅极结构到预定的厚度。也就是说, 多晶硅填充材料在层间电介质材料的一部分上生长, 如所示出的。如前面提到过的, 共形层和覆盖层的一部分防止多晶硅层与栅极结构的导电区进行物理接触, 以在电学上使这些结构彼此绝缘从而防止短路等等。

平坦化 900 多晶硅填充材料, 以减少多晶硅材料的预定厚度, 如图 9 所图示的。平坦化还同时将层间电介质材料的一部分的厚度减少到接近第一栅极结构、第二栅极结构、第三栅极结构、第四栅极结构和栅极结构的上部区的水平。该方法继续对多晶硅填充材料和层间电介质材料的平坦化, 以露出第一栅极结构的一部分、第二栅极结构的一部分、第三栅极结构的一部分、第四栅极结构的一部分和栅极结构的一部分, 而保留在位线区、第一电容器接触区和第二容器接触区上的部分多晶硅填充材料。在第一电容器接触区上的多晶硅填充材料与在第二容器接触区上的多晶硅填充材料是隔开的, 并且在第二容器接触区上的多晶硅填充材料 901 与在位线区上的多晶硅填充材料是隔开的。如所示出的, 层间电介质材料的厚度基本上与栅极结构和部分多晶硅填充材料的厚度相同。根据实施例, 可以由许多改变、替换和修改。

还可以理解这里所描述的例子和实施例是为了说明的目的, 并且本领域的技术人员将想到多种包含在本申请的精神和范围之内以及在所要求保护范围之内的修改或变化。

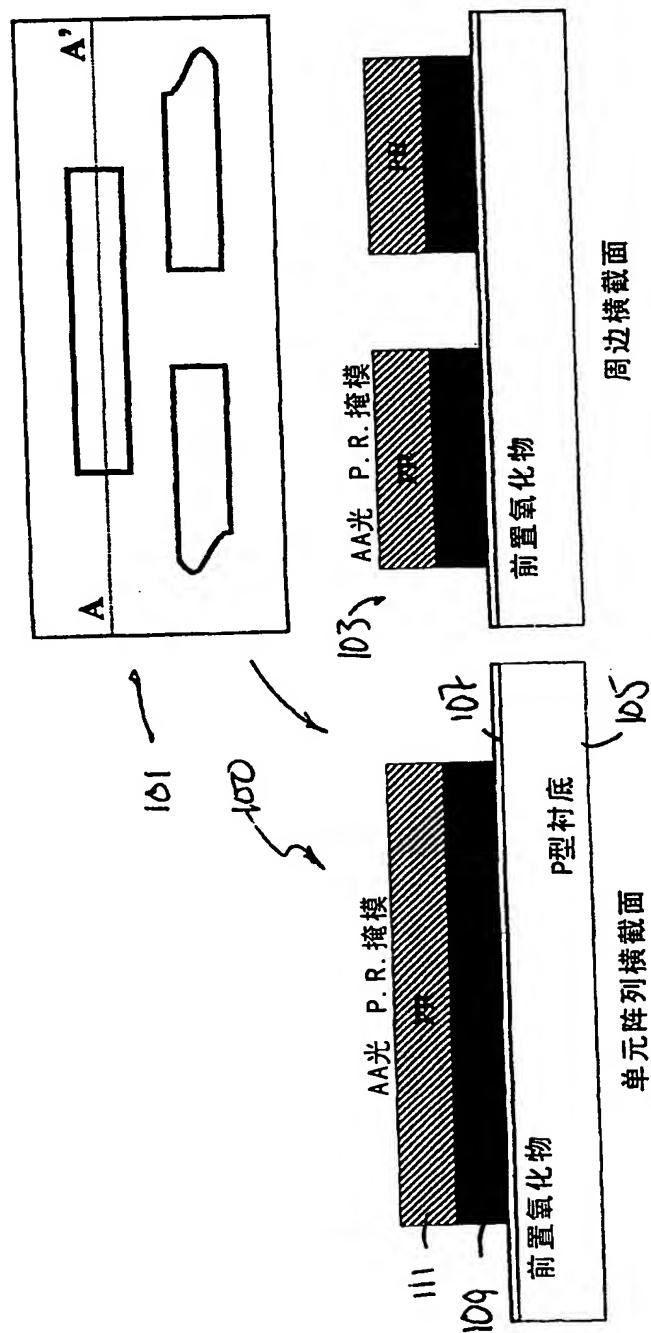


图1

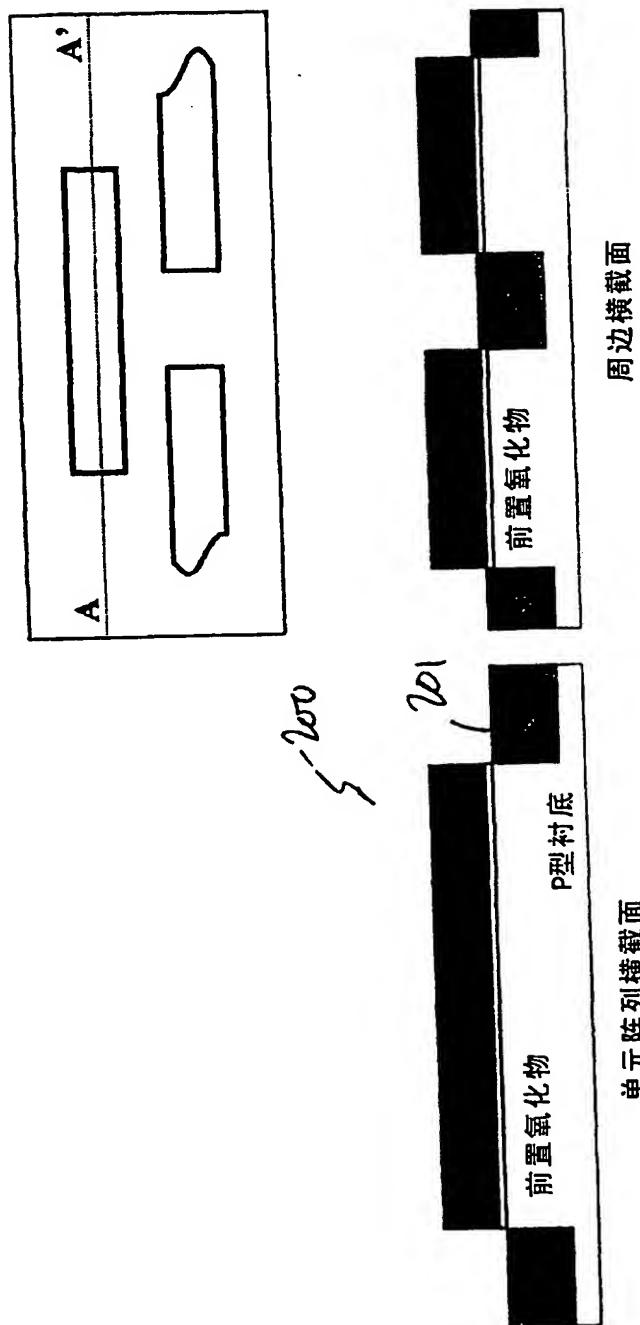
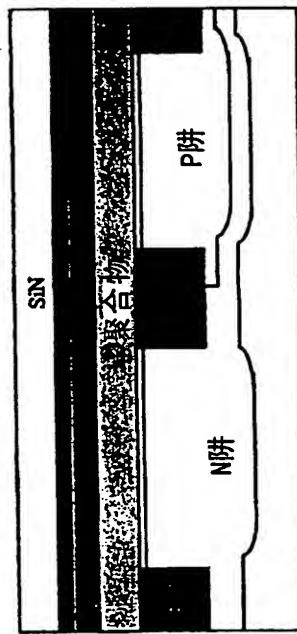


图2

图3

周边横截面



单元阵列横截面

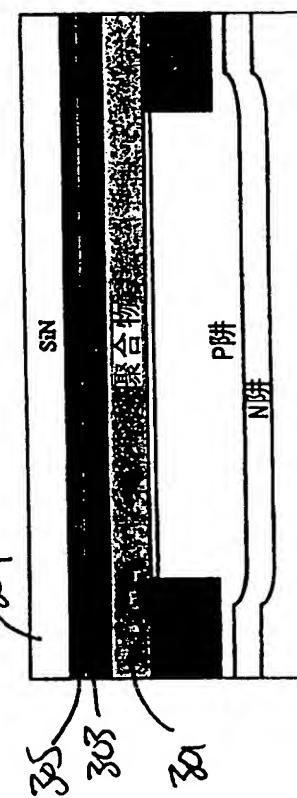
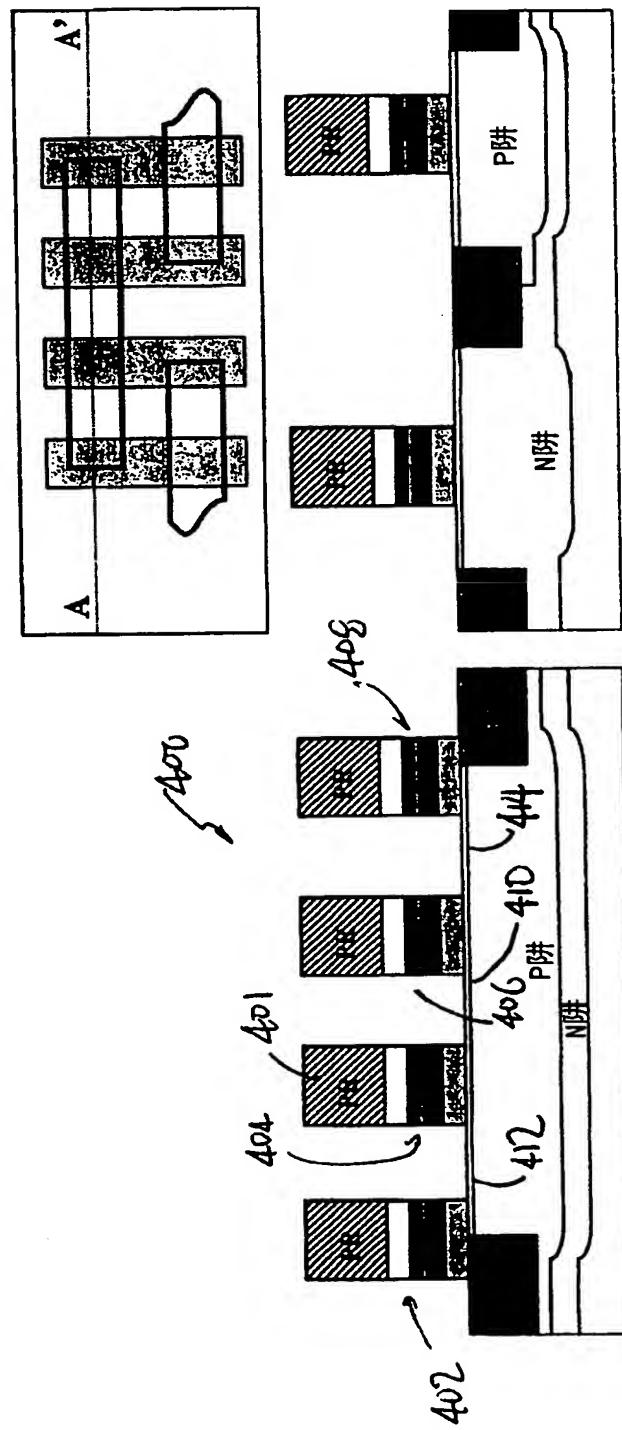
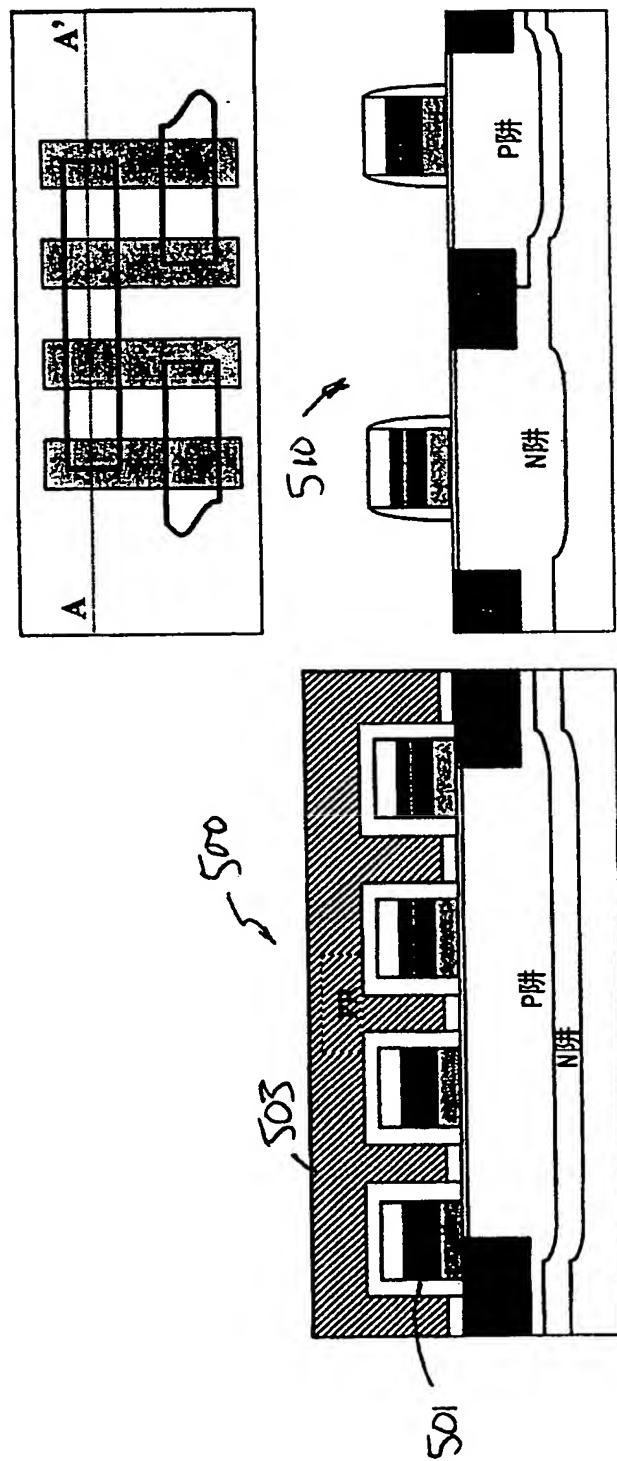


图4

周边横截面

单元阵列横截面

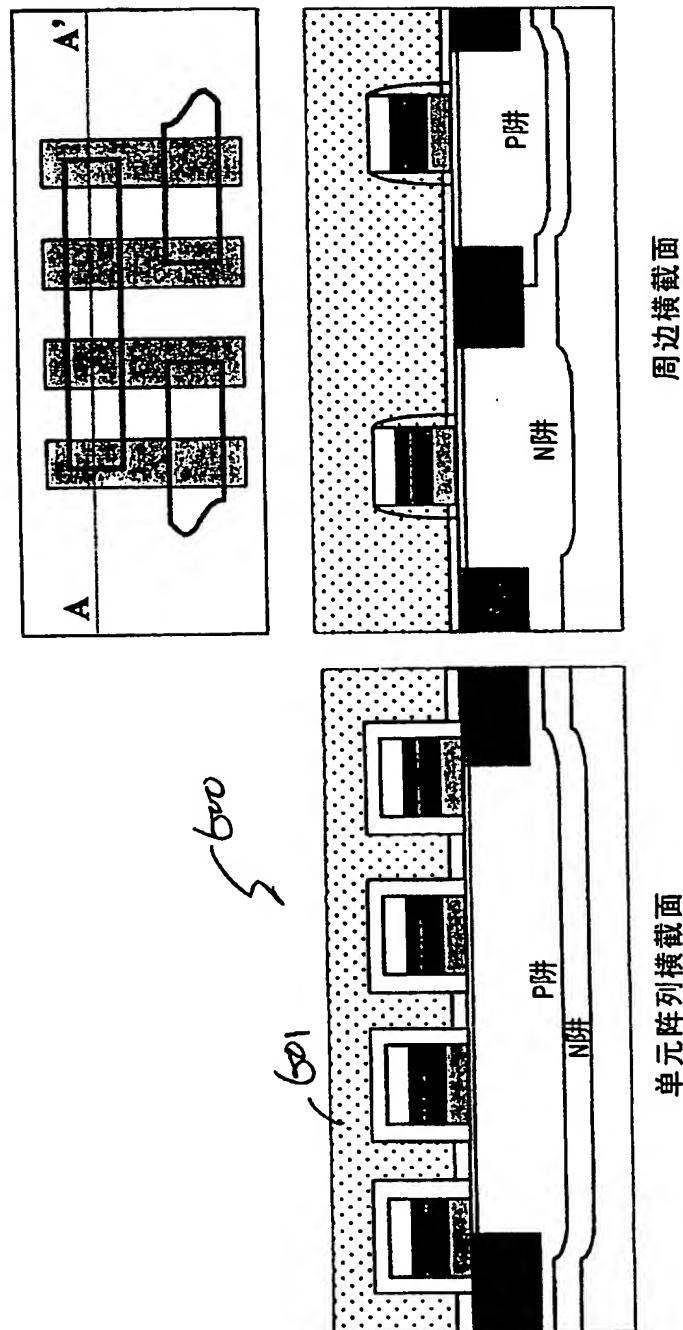




周边横截面

单元阵列横截面

图5



周边横截面

单元阵列横截面

图6

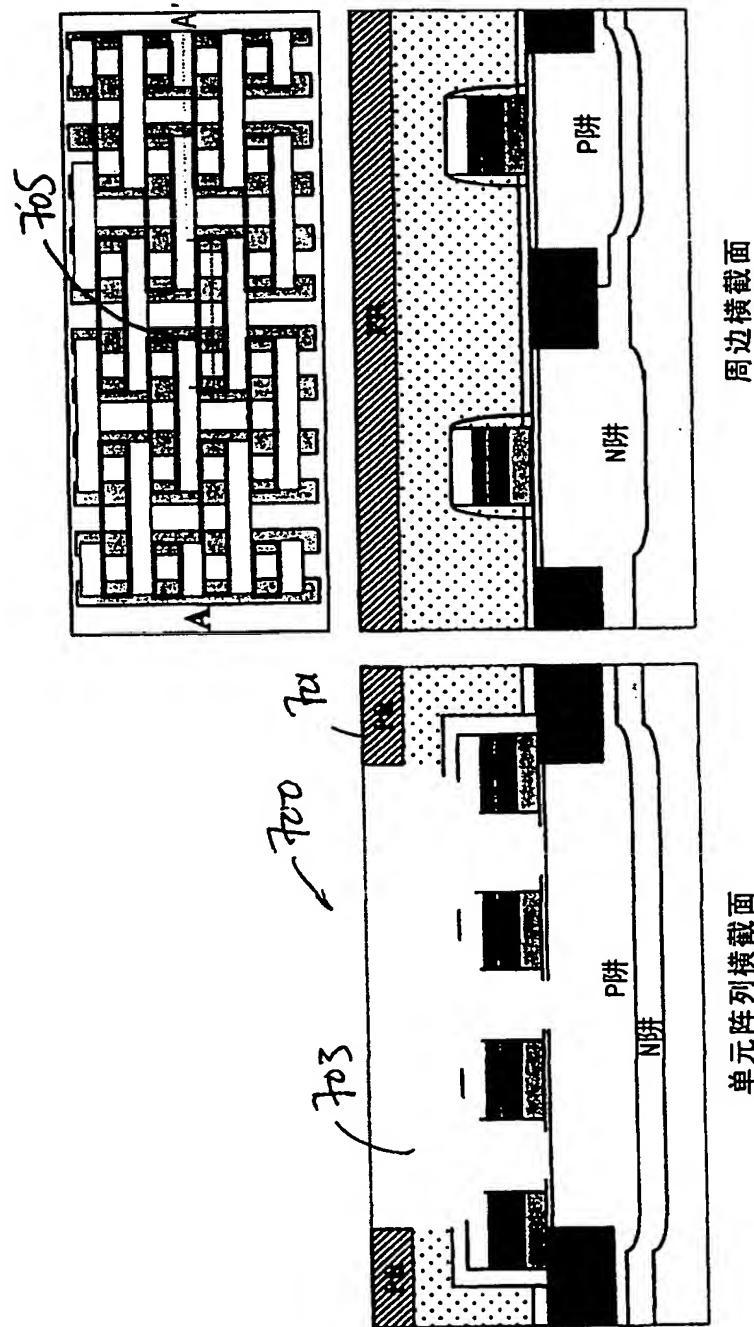
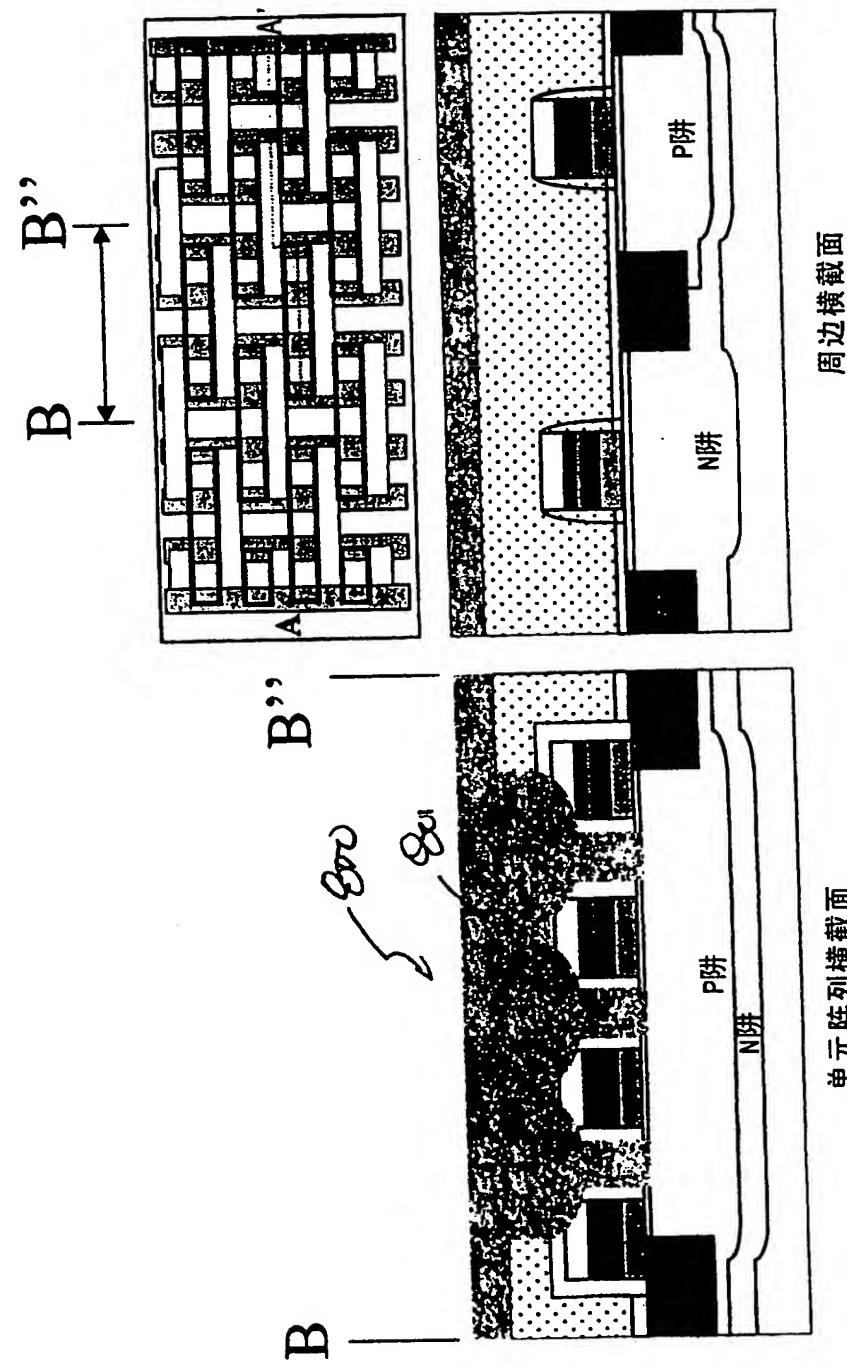


图7

单元阵列横截面

周边横截面



周边横截面

单元阵列横截面

图8

周边横截面

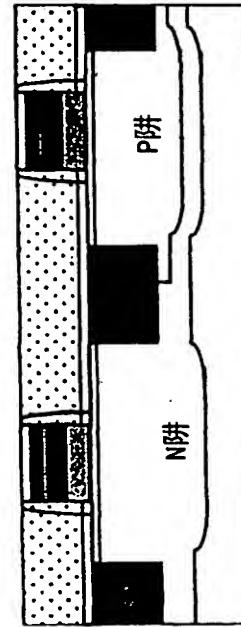


图9

单元阵列横截面

